

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8812

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl.^a
H 04 L 12/28
H 04 Q 3/00

識別記号 庁内整理番号
9466-5K

F 1
H 04 L 11/20
H 04 Q 3/00

技術表示箇所
G

審査請求 未請求 請求項の数6 OL (全7頁)

(21)出願番号 特願平7-152947

(22)出願日 平成7年(1995)6月20日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 相良 和彦
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 高瀬 晶彦
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 ATM交換システム

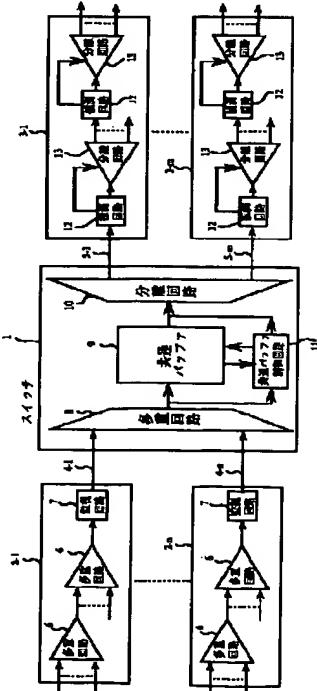
(57)【要約】

【目的】 セル損失を一定値以下にできるATMスイッチを提供する。

【構成】 ATMスイッチ1の各出力ポート5に接続された出力インターフェイス3が、出力セルを複数の出方路に分岐させるための分離回路13と、分離回路の入口に設けられた観測回路12とを有し、上記観測回路12で特定出方路へのトラヒックの集中が予測される場合に、上記分離回路内で上記特定出方路への出力セルを蓄積するバッファの容量を動的に増加させることによって、出力バッファでのセル廃棄を回避あるいは減少させる。

【効果】 分離回路のバッファ容量を動的に変化させることによって、各トラヒックにおけるセル損失を一定値以下にできる。

図1



1

【特許請求の範囲】

【請求項1】複数の入出力ポートを備え、各入力ポートからの入力セルをそのヘッダ情報によって決まる何れかの出力ポートに中継するセルスイッチと、各入力ポートに接続された入力回線インタフェースと、各出力ポートに接続された出力回線インタフェースとからなり、各入力回線インタフェースが複数の入力線からの入力セルを多重化回路で多重化して上記セルスイッチの入力ポートに出力し、各出力回線インタフェースが、上記セルスイッチの出力ポートから受信したセルを分離回路で分離して複数の出力線に出力するようにした非同期転送モード(ATM)交換システムにおいて、

上記各出力回線インターフェースが、各出力線と対応した複数の出力バッファ領域と、上記分離回路の入力側に設けられた観測手段とを有し、上記観測手段によって各出力線毎のトラヒックを予測し、予測結果に応じて上記出力バッファ領域の容量を制御するようにしたことを特徴とするATM交換システム。

【請求項2】前記各出力回線インターフェイスにおいて、前記出力バッファが前記分離回路内に設けられ、前記観測手段がバスを介して上記分離回路にバッファ容量制御情報を伝達することを特徴とした請求項1に記載のATM交換システム。

【請求項3】前記観測手段がニューロチップを含む学習回路から構成されていることを特徴とする請求項1または請求項2に記載のATM交換システム。

【請求項4】前記観測回路に予備バッファを備えることを特徴とする請求項1または請求項2に記載のATM交換システム。

【請求項5】複数の入出力ポートを備え、各入力ポートからの入力セルをそのヘッダ情報によって決まる何れかの出力ポートに中継するセルスイッチと、各入力ポートに接続された入力回線インタフェースと、各出力ポートに接続された出力回線インタフェースとからなり、上記各入力回線インタフェースが、複数の入力線からの入力セルを多重化して上記セルスイッチの入力ポートに入力するための少なくとも1段の多重化回路と、多重化されたセルの状態を監視する監視手段とを備え、上記各出力回線インターフェースが、上記セルスイッチの出力ポートから受信したセルを複数の出力線に分配するための少なくとも1段の分離回路とを備えた非同期転送モード(ATM)交換システムにおいて、

上記各分離回路が各出力線と対応した複数の出力バッファ領域を有し、上記各監視手段が各出力線毎のトラヒックを予測し、予測結果に応じて上記出力バッファ領域の容量を制御するための手段を備えたことを特徴とするATM交換システム。

【請求項6】前記出力バッファ領域が、セルを先入れ先出し動作する論理的な可変長のキューからなり、前記観測手段または監視手段が、上記各出力キュー内のセル数

2

の増減を予測しながら、コネクション毎の廃棄率または遅延時間などの品質(QoS: Quality of Service)を規定する閾値を動的に変化させることを特徴とする請求項1～請求項5の何れかに記載のATM交換システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は非同期転送モード(ATM)を用いたATM交換システムに関し、更に詳しくは、バッファ容量を動的に変化させてアクティブに制御可能なATM交換システムおよびその制御方式に関する。

【0002】

【従来の技術】B-ISDNの基幹技術として、音声、データなどの情報を固定長セルに多重化して非同期に転送するATM技術の開発が進められている。ATMを用いたネットワークでは、異なる多種類のトラヒックを扱うために、交換機あるいはエンドユーザ間での輻輳制御が重要技術となる。

【0003】従来、この種の輻輳制御の実現方式として、例えばレート方式や予測方式が知られている。レート方式では、輻輹状況を制御セルを用いて発信端末に通知し、輻輹時に端末での送信レートを下げるようしている。また、予測方式では、例えば特開平6-209330号公報に示されているように、キー長予測回路によってセル流を観測し、輻輹の発生が予測された場合にその状況を発信端末に通知し、端末の送信レートを下げるようしている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の方式は何れもフィードバック制御であり、送信側と受信側の2つの端末間に介在する交換機の数が増える、あるいは、輻輹の通知に要する時間が長くなつて不安定性が増加するという問題があった。また、輻輹時に発信端末に送信レートを低下させるようにしているため、スループットが減少するという問題があった。

【0005】本発明の目的は、上記従来技術の問題点を解消し、各トラヒックに対して一定値以下のQoS(Quailty of Service)を保証できるATM交換システム、およびバッファリング制御方式を提供することにある。

【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明では、複数の入出力ポートを備え、各入力ポートからの入力セルをそのヘッダ情報によって決まる何れかの出力ポートに中継するセルスイッチと、各入力ポートに接続された入力回線インタフェースと、各出力ポートに接続された出力回線インタフェースとからなり、各入力回線インタフェースが複数の入力線からの入力セルを多重化回路で多重化して上記セルスイッチの入力ポートに出力し、各出力回線インターフェースが、上記セルスイッチの出力ポートから受信したセルを分離回

路で分離して複数の出力線に出力するようにしたATM交換システムにおいて、上記各出力回線インターフェースが、各出力線と対応した複数の出力バッファ領域と、上記分離回路の直前に設けられた観測手段とを有し、上記観測手段によって各出力線毎のトラヒックを予測し、予測結果に応じて上記出力バッファ領域の容量を制御するようにしたことを特徴とする。上記観測手段の機能は、各入力回線インターフェイスに設けてもよい。

【0007】上記出力バッファ領域が、例えば各回線毎に固定的に割り当てられたバッファメモリからなる場合は、上記容量制御は、各バッファメモリへの入力を制限する閾値を変更することによって行う。また、複数の出力回線でバッファメモリを共用し、各回線毎に可変的にバッファ容量を割り当てる場合は、空きバッファの容量と予測結果に応じて各回線毎のバッファ長の上限値を示す閾値を割り当てる。尚、上記観測回路に予備バッファを設けておき、出力バッファ領域への入力を制限されたセルを上記予備バッファに一時的に蓄積するようにしてもよい。

【0008】

【作用】本発明によれば、ATM交換システム内でトラヒック変動を吸収できるので、リアルタイムで輻輳を制御できる。また、各分離回路で出力回線毎のバッファ容量を動的に最適化できるため、全トラヒックに対して所定のセル廃棄率を保証できる。

【0009】

【実施例】以下実施例を用いて、本発明の詳細を説明する。

【0010】図1は、本発明のATM交換システムの1例を示す図であり、1は $n \times m$ の入出力ポート ($4 - 1 \sim 4 - n ; 5 - 1 \sim 5 - m$) を備える共通バッファ型のATMスイッチ、2 ($2 - 1 \sim 2 - n$) は入力回線インターフェース、3 ($3 - 1 \sim 3 - m$) は出力側回線インターフェースである。

【0011】ATMスイッチは、入力ポート $4 - 1 \sim 4 - n$ からの入力セルを多重化するための多重回路8と、入力セルを出力ポートに対応に一時的に蓄積する共通バッファ部9と、共通バッファから読み出されたセルを出力ポート $5 - 1 \sim 5 - m$ に分配するための分離回路10と、上記共通バッファへのセルの書き込みと読み出しを制御するための制御回路11とから構成される。

【0012】各入力回線インターフェース2は、スイッチ内の交換速度に比較して低速の複数の入力線と接続され、これらの入力線からの入力セルを順次に多重化する複数段の多重回路6と、最終段の多重回路とATMスイッチの入力ポートとの間に接続された監視回路7とを有する。尚、ATMスイッチ1が必要とする各セルのルーティング情報は、監視回路7におけるヘッダ変換機能によって行われる。

【0013】各出力回線インターフェース3は、スイッ

チの出力ポート5に接続され、複数段の分離回路13と、各観測回路と対をなす複数の観測回路12とから構成される。スイッチ1の出力ポート5から出力されたセルは、分離回路13によって順次に分離され、出力側の所望の低速回線へ分配出力され、出力側の伝送路または次段のスイッチへ導入される。ATMスイッチ1の入出力ポートでの速度は、例えば2.48Gbps (ギガ: 1.0×10^9 , bit per second) であり、低速の入出力回線の速度は155Mbps (メガ: 1.0×10^6) 、低速回線数kは16本であるが、他の組合せも可能である。

【0014】図2は、互いに対をなす観測回路12と分離回路13との詳細な構成を示す図であり、観測回路12には、高速の入線21からセルが導入され、内部で出力方向毎のトラヒック予測を行なった後、セルを後段の分離回路13に出力する。また、分離回路13では、セルの行き先毎に出方路を決定し、後段の観測回路または低速回線 $18 - 1 \sim 18 - k$ へセルを出力する。

【0015】観測回路は、VCI/VPI識別回路14と、予測回路15と、予備バッファ16とから構成される。

VCI/VPI識別回路では、セルのヘッダ情報を基づいて低速回線毎の統計的情報を計算し、これによって、例えば、1000個の入力セルのうち、800セルが低速回線 $18 - 1$ に、100セルが低速回線 $18 - 2$ に、100セルが低速回線 $18 - 3$ に向かうものであり、特定出線 $18 - 1$ でセルが集中する、等の現象を事前に予測する。また、予測回路15は、識別回路14から与えられるセル入力数の統計的情報を解析し、過去データとの比較または学習によってトラヒックパターンを予測し、これらの情報をバス17を介して分離回路13に通知する。

【0016】分離回路13は、低速の出力回線に対応に用意される複数のバッファ $20 - 1 \sim 20 - k$ を有し、各バッファ毎に閾値 $19 - 1 \sim 19 - k$ を記憶している。

【0017】回線毎に固定容量のバッファを使用する場合、例えば、最大バッファ容量を示す閾値 Vth_{max} とし、通常時は、 Vth_{max} の50%程度の値をもつ標準バッファ容量の閾値 Vth_{std} を各バッファに設定しておく。

【0018】例えば、バッファ $20 - 1$ では、最大バッファ容量 Vth_{max} を40セル、標準バッファ容量 Vth_{std} を20セルとし、バッファ $20 - 2$ では、最大バッファ容量 Vth_{max} を80セル、標準バッファ容量 Vth_{std} を40セルとする等、出力回線毎に異なる容量のバッファを割り当てておき、各バッファへの蓄積セルの個数を制約する閾値をバス17から与えられる制御情報に基づいて動的に変更する。

【0019】上記バッファ $20 - 1 \sim 20 - k$ として、例えば、FIFO (First In First Out) 型メモリを採用した場合、バス17の出力を各メモリのアドレスに直接することにより、マイクロ秒以下でしきい値を変化で

きる。

【0020】また、出力バッファ12(12-1~12-k)として、各出力回線に共用のバッファを適用し、スイッチ1の共通バッファ9と同様に、出力回線毎にアドレスチェインによるリスト構造でセルをバッファリングする構成とした場合は、観測回路12から与えられた制御情報に従って各バッファ長の上限値を制御すればよい。尚、図2では、観測回路12を分離回路13の直前に配置したが、観測回路12の機能を図1に示したスイッチ直前の監視回路7に置いてもよい同様の効果が得られる。

【0021】図3は、監視回路7の構成の一例を示す。

【0022】監視回路7は、セル数カウント回路23と、ヘッダ付加回路24とから構成され、セル数カウント回路23で、図2のVCI/VPI識別回路14とともに、入力セル数の統計的情報を計算する。スイッチが大容量化すると、バスを用いた制御情報の通知は困難となるが、この場合は、例えば、ヘッダ付加回路24によって上記制御情報(統計的情報)を各セルのヘッダに附加することによって、出力ポート側の分離回路13に制御情報通知する。分離回路13ではこの制御情報に基づいて各出力バッファの閾値を変更する。

【0023】図4は、予測回路15の構成の一例を示す。

【0024】予測回路15は、重み値を記憶するメモリ27と、汎用レジスタ28と、フリップフロップ29と、乗算器30と、条件つき制御レジスタ31と、算術演算ユニット32と、シフタ33と、累積加算用レジスタ34と、出力回路35とから構成される。

【0025】回路動作は学習モードと実行モードととなり、学習モードでは、例えば、一週間のトラヒックデータを基にして、入出力の関係を近似できるように重み値メモリ27の内容を最適化する。このような学習アルゴリズムとしては、例えば、ニューラルネットワークの分野で衆知のバックプロパゲーション法などが適用できる。学習時間は、専用チップを用いた場合、約100ミリ秒以下で済む。一方、実行モードでは、各入力セルに対して、1マイクロ秒以下でトラヒックパターンを予測できる。この情報は、図2のバス17を介して、分離回路13にバッファの閾値制御情報として通知される。

【0026】図5は、予測回路15の他の実施例を示す。

【0027】本実施例では、所定のアルゴリズムに従ってソフトウェアによりトラフィックを予測する。先ず、各バッファの閾値をVth_stdに設定し(ステップ37)、時刻tを指定する(ステップ38)。次に、各出方路毎のVCI/VPIをカウントし(ステップ39)、各出方路のカウント値の増加率(INC)を計算する(ステップ40)。INCの正負に従って、必要なバッファ容量を計算し、閾値を増減させ(ステップ41)

~44)、次の時刻へ移る(ステップ45)。

【0028】本例では、特定の出方路へのセルが集中的に受信された場合に当該方路の出力バッファの閾値を増加させるようしているが、例えば、遅延回避を第1優先とする優先呼を扱う場合には、閾値を減少させて低優先度のセルを廃棄するようにもよい。また、特定の出方路に集中するセル数によっては、分離回路のバッファ容量Vth_maxで容量不足となる場合もありうる。この場合には、図2の観測回路12に設けた予備バッファ(例えば1000セル容量)を用いて、セルを一時的に保存することによってセル廃棄を回避するようにしてもよい。

【0029】図6は、本発明の効果を示すために、図2のバッファ20-1での状況を示した図である。

【0030】バッファの閾値19-1を、例えば最初に20セルとしておくと、このバッファにセルが集中(負荷が増加)した場合、セル廃棄率が増加する。ここで、予測回路15により、例えばセル廃棄率が1.0e-7を超えると予測される場合、該当するバッファの閾値19-1を20セルから40セルへ増加させることにより、セル廃棄率を大幅に減少させることができ、その結果、回線負荷として、約0.83までセルの受付が可能となる。セルが更に集中した場合は、図2の予備バッファ16を用いることにより、セル廃棄率を1.0e-7以下に抑えることが可能である。また、このセル廃棄率は、1.0e-9, 1.0e-12等と任意に設定可能である。

【0031】尚、上記の実施例においては、図1の共通バッファスイッチ1を用いて説明したが、本発明は他の形式のスイッチ、例えば入力型スイッチまたは出力型スイッチにも適用できる。

【0032】

【発明の効果】本発明によれば、出力バッファ側で未知のセル入力に対して、前段の観測回路で事前にトラヒックパターンを予測し、セルが集中するバッファの容量を最適化することのよって、全トラヒックに対してセル廃棄率を一定値以下に制御することが可能となる。また、上記制御のための機能をハードウェアで実行した場合は、マイクロ秒以下で閾値の設定変更が可能となるため、リアルタイムでバッファ容量を動的に最適化できる。

【画面の簡単な説明】

【図1】本発明によるATM交換システムの1実施例を示す図。

【図2】観測回路12と分離回路13の構成を示す図。

【図3】監視回路7の構成を示す図。

【図4】予測回路15の構成を示す図。

【図5】予測回路15のソフトウェアのアルゴリズムを示す図。

【図6】本発明の効果を説明するための図。

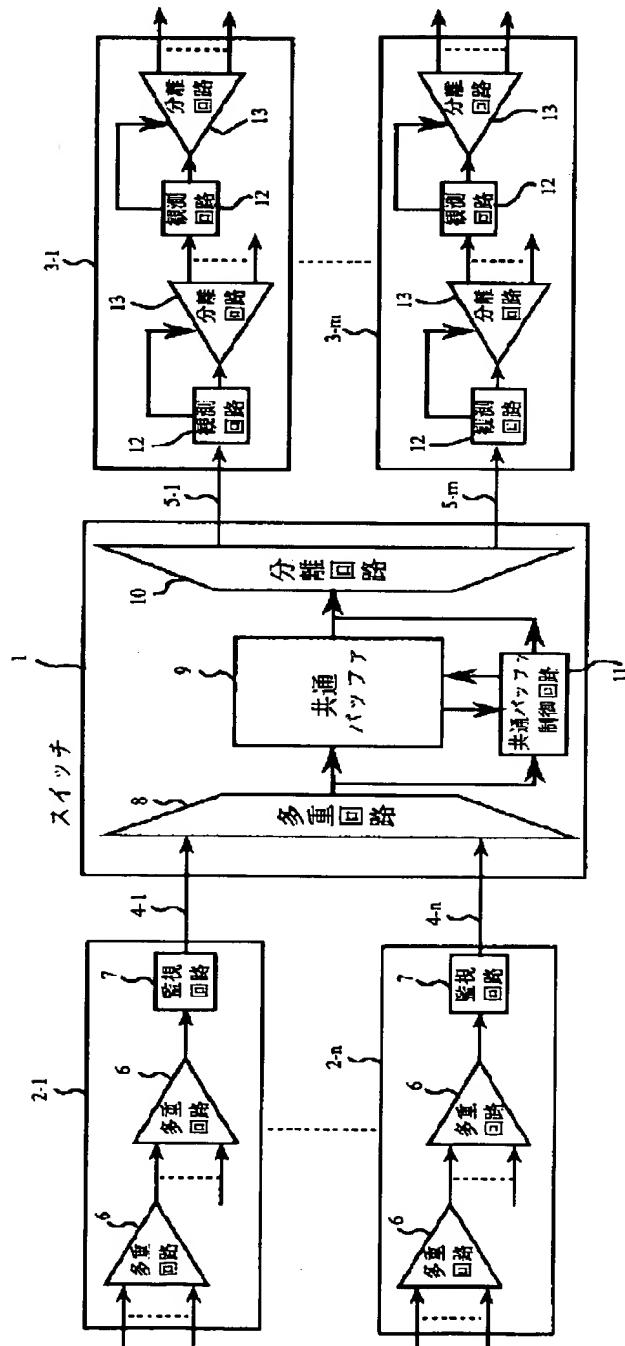
【符号の説明】

1 ……共通バッファスイッチ、2 ……入力回線インターフェース、3 ……出力回線インターフェース、4 ……入力ポート、5 ……出力ポート、6、8 ……多重回路、7 ……監視回路、9 ……共通バッファ、10、13 ……分離回路、11 ……

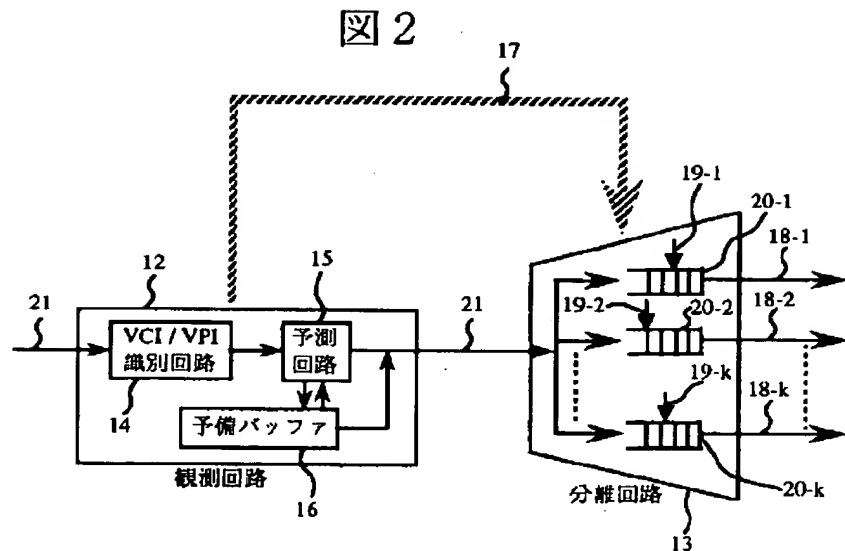
共通バッファ制御回路、12 ……観測回路、14 ……VCI／VP I識別回路、15 ……予測回路、16 ……予備バッファ、17 ……バス、18 ……低速出線、19 ……バッファの閾値、20 ……バッファ、21 ……高速入線、22、26 ……入線。

【図 1】

図 1

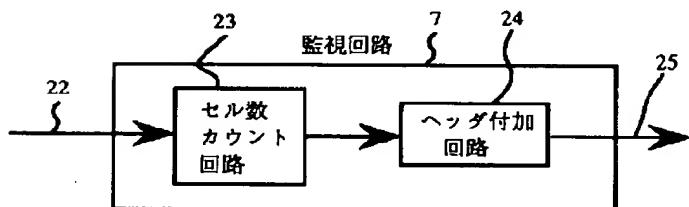


【図2】



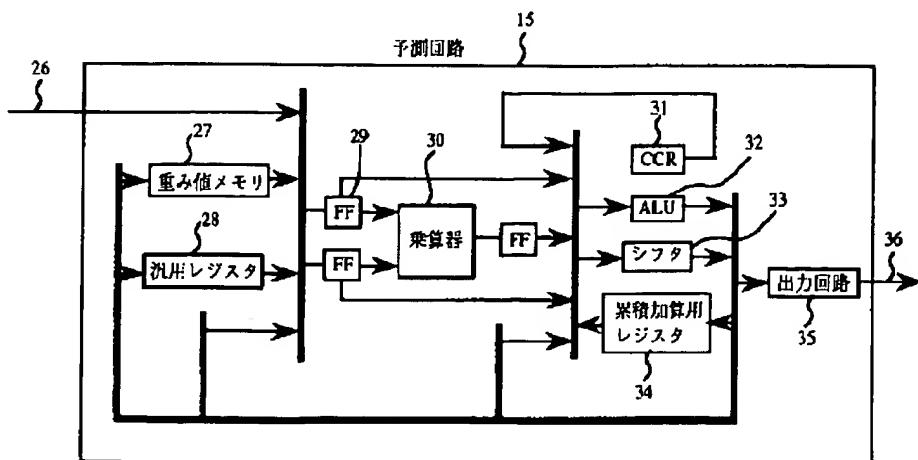
【図3】

図3



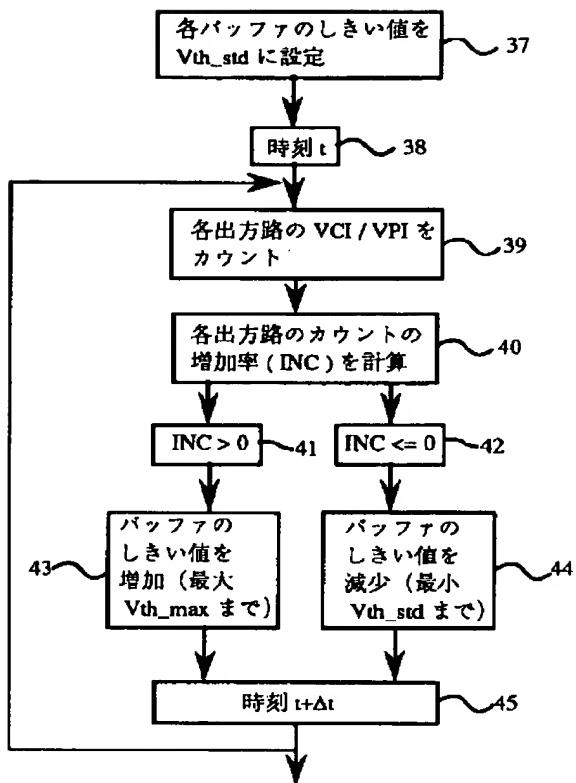
【図4】

図4



【図5】

図5



【図6】

図6

